

PTO: 2002-3386

Japanese Published Unexamined (Kokai) Patent Application No. S58-90728, published May 30, 1983; Application No. S56-188654, filed November 25, 1981; Int. Cl.³: H01L 21/30 G03F 9/00; Inventor(s): Hiroo Kinoshita et al.; Assignee: Nippon Telegraph & Telephone Public Corporation; Japanese Title: Hansoutai Uefa jou no Ichiawase you Maaku oyobi sono Seizouhou (Positioning Mark on a Semiconductor Wafer and a Method for Production Thereof)

Specification

1. Title of Invention

Positioning mark on a Semiconductor Wafer and a Method for Production Thereof

2. Claim(s)

1. A positioning mark on a semiconductor wafer and a method for production thereof, characterized in that at least two regions such as a first region and a second region with an arc-shaped cross-section and multiple fine recesses arranged are arranged and formed in a predetermined location on a main surface of the semiconductor wafer, while leaving a third region with a flat surface extended on a straight line at an equivalent distance as that of the first and second regions.

2. A method for production of a positioning mark on a semiconductor wafer, characterized by being comprised of the following steps in the production process: a step of forming an etching mask layer with a pattern in a predetermined location on the main surface of the semiconductor wafer, wherein at least two mask layers such as a first mask layer and a second

a step of forming the positioning mark wherein a first region and a second region with an arc

shaped cross-section and multiple fine recesses arranged, which are located in a predetermined location on the main surface of the semiconductor wafer are arranged and formed while leaving a third region with a flat surface linearly extended at an equivalent distance as that of the first and second regions, by applying an isotropic etching on the semiconductor wafer using the etching mask layer.

3. A method for production of a positioning mark on a semiconductor wafer, as disclosed in Claim 2, characterized in that a plasma etching treatment is applied as the isotropic etching treatment.

3. Detailed Description of the Invention

When the main surfaces of semiconductor wafers are processed into a predetermined pattern, semiconductor regions with a predetermined pattern are formed inside the semiconductor wafers and when desired layers with a predetermined pattern are formed, masks with a predetermined pattern are formed on the semiconductor wafers. These masks are usually formed as follow. Material layers to be these masks are formed on the semiconductor wafers. Photoresist layers are then formed on the material layers. An exposure is applied to the photoresist layers using exposing masks with a predetermined pattern. After this, a developing treatment is applied to the exposed photoresist layers. By this developing treatment, masks with a predetermined pattern by the photoresist layers are formed. After an etching treatment has been applied to the material layers, the masks are obtained. Using

the masks formed on the material layers to be masks, an exposure is applied to the photoresist

is applied to the exposed photoresist layers so as to obtain the masks.

When masks with a predetermined pattern is formed on semiconductor wafers using exposing masks, a relative positioning between the semiconductor wafers and the exposing masks is required to be performed. With the relative positioning, positioning marks are necessary to be placed on the semiconductor wafers.

Due to the necessity of the position marks, the present invention pertains to positioning marks on semiconductor wafers and a method for production thereof.

As for these positioning marks on the semiconductor wafers, the following types are usually proposed: ends of oxide films adhered on the semiconductor wafers; cavities provided to the semiconductor wafers; through holes provided to the semiconductor wafers.

However, when the positioning marks are the ends of the oxide films or the cavities in the semiconductor wafers, if semiconductor or metal films are formed onto the semiconductor wafers or if a thermal oxidation or etching treatment is applied to the semiconductor wafers before masks with a predetermined pattern are formed onto the semiconductor wafers using exposing masks, the positioning marks are damaged or the S/N of the positioning marks deteriorates due to a decrease of the contrast thereof.

In addition to this disadvantage, when the positioning marks are the through holes on the semiconductor wafers, if the aforementioned treatment is applied before the masks with a predetermined pattern are formed on the semiconductor wafers using the exposing masks, the through holes as the positioning marks are embedded with other materials or the ends of the through holes are lost so as to deteriorate the S/N

D).

Next, by applying a plasma etching treatment to semiconductor wafer 1 as an isotropic etching treatment using an etching mask layer 31 as a mask, the positioning mark as shown in Fig.1 and Fig.2 is formed (Fig.3 E). After this, mask layer 31 removed from the surface of semiconductor wafer 1 so as to obtain a desired positioning mark as shown in Fig.1 and Fig.2 (Fig.3 F).

The embodiment illustrating the positioning mark of the invention and the producing method thereof is described above. According to the positioning mark of the invention as shown in Fig.1 and Fig.2, fine recesses 3 in first and second regions 4 and 5 have an arc-shaped cross-section (a circular arc cross-section with an about 1 to 5 μm diameter). Due to this arc-shaped cross-section, no positive reflection occurs in recesses 3. However, there is a positive reflection on flat surface 6 in third region 7. Thus, the positioning mark functions as one with a high contrast and also do not have any disadvantages associated with prior art positioning mark as mentioned above.

According to the producing method for the positioning mark of the invention as shown in Fig.3, the aforementioned characteristic positioning mark is easily achieved at an extremely simple process as described above.

The embodiment is merely one of the examples of the invention. As shown in Fig.4 and Fig.5, four regions as similarly to first regions 4 and 5 of Fig.1 and Fig.2 can be formed as regions 41, 42, 43 and 44. Corresponding to these regions, a region 45 that orthogonalizes regions 41, 42, 43 and 44 in a cross shape can be also formed. Additionally, various

4. Brief Description of the Invention

Fig.1 and Fig.2 are a schematic top view and a horizontal cross-sectional view illustrating an example of the invention. Fig.3 is a cross-sectional view illustrating an example of a method for production of the invention. Fig.4 and Fig.5 are a schematic top view and a cross-sectional view illustrating the other example of the invention.

Translations Branch
U.S. Patent and Trademark Office
6/25/02
Chisato Morohashi

CLIPPED IMAGE= JP358090728A
PAT-NO: JP358090723A
DOCUMENT-IDENTIFIER: JP 58090728 A
TITLE: MARK FOR ALIGNMENT ON SEMICONDUCTOR WAFER AND
MANUFACTURE THEREOF

PUBN-DATE: May 30, 1983

INVENTOR-INFORMATION:

NAME

KINOSHITA, HIROO

ONO, TOSHIRO

ASSIGNEE-INFORMATION:

NAME

NIPPON TELEGR & TELEPH CORP <NTT>

COUNTRY

N/A

APPL-NO: JP56188654

APPL-DATE: November 25, 1981

INT-CL_(IPC): H01L021/30; G03F009/00

ABSTRACT:

PURPOSE: To form an alignment mark having a large contrast, by interposing a region defined by a flat surface between regions where a multiplicity of minute cavities each having a circular cross section are arranged.

CONSTITUTION: At a predetermined position on a main surface 2 of a

semiconductor wafer 1, at least two regions 4 and 5 are formed each of which

has a multiplicity of minute cavities 3 arranged therein.

In addition, a region

7 defined by a linearly elongated flat surface 6 is disposed between the

regions 4, 5. In this case, the minute cavities 3 are linearly elongated

adjacently to each other. Such an alignment mark has no regular reflection at

the surface 6 and the regions 4, 5 but has a regular

having a large contrast.

COPYRIGHT: (C) 1983, JPO&Japio

DERWENT-ACC-NO: 1983-703025
DERWENT-WEEK: 198327
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: High-contrast positioning mark on semiconductor
wafer - NoAbstract

PATENT-ASSIGNEE: NIPPON TELEGRAPH & TELEPHONE CORP[NITE]

PRIORITY-DATA: 1981JP-0168654 (November 25, 1981)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 58090728 A	May 30, 1983	N/A
003	N/A	

INT-CL (IPC): G03F009/00; H01L021/30

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS:

HIGH CONTRAST POSITION MARK SEMICONDUCTOR WAFER NOABSTRACT

DERWENT-CLASS: P84 U11

⑩ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭58—90728

⑤ Int. Cl.³
H 01 L 21/30
G 03 F 9/00

識別記号
庁内整理番号
7131—5F
7267—2H

④ 公開 昭和58年(1983)5月30日

発明の数 2
審査請求 有

(全 4 頁)

⑭ 半導体ウェファ上の位置合せ用マーク及びその製法

① 特 願 昭56—188654

② 出 願 昭56(1981)11月25日

⑦ 発 明 者 木下博雄

武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信

研究所内

⑧ 発 明 者 小野俊郎

武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内

⑩ 出 願 人 日本電信電話公社

⑪ 代 理 人 弁理士 田中正治

PTO 2002-3385

S.T.I.C. Translations Branch

明 細 書

1. 発明の名称 半導体ウェファ上の位置合せ用マーク及びその製法

2. 特許請求の範囲

1. 半導体ウェファの主面上の所定の位置に、円弧状断面を有する多数の微小窪みの配列されてなる少くとも2つの第1及び第2の領域が、それ等間に直線状に延長せる平らな面である第3の領域を残した関係で配列形成されてなる事を特徴とする半導体ウェファ上の位置合せ用マーク。

2. 半導体ウェファ上の主面上の所定の位置に、多数の微小窪みの配列されてなる少くとも2つ

微小窪みの配列されてなる第1及び第2の領域が、それ等間に直線状に延長せる平らな面である第3の領域を残した関係で配列形成されてなる位置合せ用マークを形成する工程とを含むことを特徴とする半導体ウェファ上の位置合せ用マークの製法。

3. 特許請求の範囲第2項所載の半導体ウェファ上の位置合せ用マークの製法に於て、上記等方的エッチング処理が、プラズマエッチング処理であることを特徴とする半導体ウェファ上の位置合せ用マークの製法。

3. 発明の詳細な説明

半導体ウェファの主面を所望のパターンに加えて、半導体ウェファ内に所望のパターンを形成する工程と、

上記工程の工程と、該エッチング用マスク層を用いた上記半導体ウェファに対する等方的エッチング処理とを、上記半導体ウェファの主面上の所定の位置に、円弧状断面を有する多数の微小窪みの配列されてなる少くとも2つの第1及び第2の領域が、それ等間に直線状に延長せる平らな面である第3の領域を残した関係で配列形成されてなる事を特徴とする半導体ウェファ上の位置合せ用マークの製法。

上記工程の工程と、該エッチング用マスク層を用いた上記半導体ウェファに対する等方的エッチング処理とを、上記半導体ウェファの主面上の所定の位置に、円弧状断面を有する多数の微小窪みの配列されてなる少くとも2つの第1及び第2の領域が、それ等間に直線状に延長せる平らな面である第3の領域を残した関係で配列形成されてなる事を特徴とする半導体ウェファ上の位置合せ用マークの製法。

レジスト層を形成し、そのフォトレジスト層に対し所要のパターンを有する露光用マスクを用いての露光をなし、次にその露光されたフォトレジスト層に対し現像処理をなしてそのフォトレジスト層による所要のパターンを有するマスクを形成し、然る後そのマスクをマスクとせる上述せる材料層に対するエッチング処理をなすことにより得たり、上述せるマスクとなる材料層をフォトレジスト層とし、そのフォトレジスト層に対し所要のパターンを有する露光用マスクを用いての露光をなし、然る後その露光されたフォトレジスト層に対する現像処理をなすことにより得たりし得る。

所で、斯く露光用マスクを用いて半導体ウエフア上に所要のパターンを有するマスクを形成する場合、半導体ウエフアと露光用マスクとの間の相対的位置合せを要し、この為半導体ウエフア上に位置合せ用マークが必要とされる。

本発明は、斯る必要の為の半導体ウエフア上の位置合せ用マーク及びその製法に関する。

している場合、半導体ウエフアに露光用マスクを用いて所要のパターンを有するマスクを形成する前に上述せる処理をなした場合、その位置合せ用マークとしての貫通孔が他の材料によつて埋れたり、貫通孔の端が欠損したりしてB/Nの劣化せる位置合せ用マークとなる欠点を有していた。

依つて本発明は上述せる欠点のない新規半導体ウエフア上の位置合せ用マーク及びその製法を提案せんとするもので、以下詳述する所より明らかとなるであろう。

第1図及び第2図は本発明による半導体ウエフア上の位置合せ用マークの一例を示し、半導体ウエフア1の表面2上に、例えば熱酸化膜、窒化膜等のマスク材層21をそれ自体は公知の方法によつて例えば5000Åの厚さに形成し(第3図B)、次にそのマスク材層21上に多数の微小窓22の配列されてなる少くとも2つの第1及び第2のマスク層部23及び24が直線状に延長せる部25を残した關係で配されてなるパターンを有するフォトレジスト材でなるエッチング用マスク層26を形成し、そのエッチング用マスク層26をマスクとして、マスク材層21に対するエッチング処理により、マスク材層21によつて形成された、エッチング用マスク層26に対応せる、多数の微小窓22の配列されてなる第1及び第2の位置合せ用マーク27及び28を形成する。

新規半導体ウエフア上の位置合せ用マークとして従来、半導体ウエフアに附された酸化膜の端部を位置合せ用マークとせるもの、半導体ウエフアに施された溝を位置合せ用マークとせるもの、半導体ウエフアに穿設せる貫通孔を位置合せ用マークとせるもの等が提案されている。

然し乍ら、位置合せ用マークが、半導体ウエフアに附された酸化膜の端部を位置合せ用マークとせるもの、半導体ウエフアに施された溝を位置合せ用マークとせるものとしている場合、半導体ウエフア上に露光用マスクを用いて所要のパターンを有するマスクを形成する前に、半導体ウエフアに半導体膜や金属膜等が形成されたり、半導体ウエフアに対する熱酸化処理、エッチング処理等がなされたりした場合、位置合せ用マークが損傷したり、位置合せ用マークのコントラストが低下してB/Nの劣化せる位置合せ用マークとなつたりする欠点を有していた。

又位置合せ用マークが、半導体ウエフアに穿設せる貫通孔を位置合せ用マークとせるものと

以上が本発明による半導体ウエフア上の位置合せ用マークの一例構成であるが、斯る構成を有する位置決め用マークは、第3図につき以下述べる様にして製ることができるものである。

即ち予め得られた半導体ウエフア1(第3図A)の主面2上に、例えば熱酸化膜、窒化膜等のマスク材層21をそれ自体は公知の方法によつて例えば5000Åの厚さに形成し(第3図B)、次にそのマスク材層21上に多数の微小窓22の配列されてなる少くとも2つの第1及び第2のマスク層部23及び24が直線状に延長せる部25を残した關係で配されてなるパターンを有するフォトレジスト材でなるエッチング用マスク層26を形成し、そのエッチング用マスク層26をマスクとして、マスク材層21に対するエッチング処理により、マスク材層21によつて形成された、エッチング用マスク層26に対応せる、多数の微小窓22の配列されてなる第1及び第2の位置合せ用マーク27及び28を形成する。

第3図Aは、半導体ウエフア1の表面2上に、例えば熱酸化膜、窒化膜等のマスク材層21を形成した状態を示す。第3図Bは、マスク材層21上に多数の微小窓22の配列されてなる少くとも2つの第1及び第2のマスク層部23及び24が直線状に延長せる部25を残した關係で配されてなるパターンを有するフォトレジスト材でなるエッチング用マスク層26を形成した状態を示す。第3図Cは、エッチング用マスク層26をマスクとして、マスク材層21に対するエッチング処理により、マスク材層21によつて形成された、エッチング用マスク層26に対応せる、多数の微小窓22の配列されてなる第1及び第2の位置合せ用マーク27及び28を形成した状態を示す。

マスク層部28及び29が直線状に延長せる部30を残した關係で配列されてなるパターンを有するエッチング用マスク層31を形成し、次でマスク層26を除去する(第3図D)。

次にエッチング用マスク層31をマスクとせる半導体ウエハ1に対する等方的エッチング処理としてのプラズマエッチング処理をなし、斯くて第1図及び第2図にて上述せる位置合せ用マークを形成し(第3図E)、然る後マスク層31を半導体ウエハ1上より除去し、斯くて目的とせる第1図及び第2図に示す位置合せ用マークを得る(第3図F)。

以上にて本発明による位置合せ用マーク及びその製法の実施例が明らかとなつたが、本発明による第1図及び第2図に示す位置合せ用マークによれば、第1及び第2の領域4及び5に於ける微小窪み3が円弧状断面(直径1~5 μ m程度の円の円弧状断面)を有するので、その微小窪み3での正反射がなく、然し乍ら第3の領域7に於ける平らな面6での正反射を有し、従

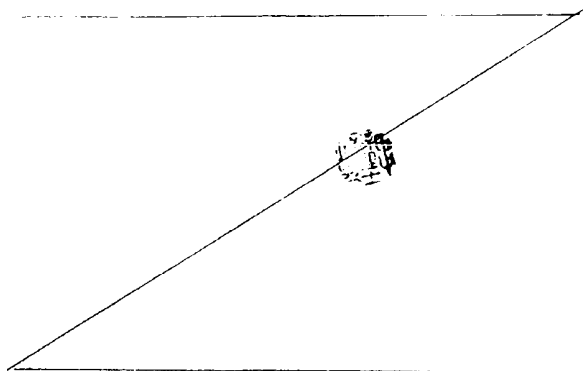
同上述に於ては本発明の一例を示したに留まり、第4図及び第5図に示す如く、第1図及び第2図の場合の第1の領域4及び5と同様の領域を領域41、42、43及び44として4つ形成し、これに於て第1図及び第2図の場合の領域7を十字状に直交せる領域45として形成した構成とすることも出来、その他種々の変形実施をなし得るであろう。

4 図面の簡単な説明

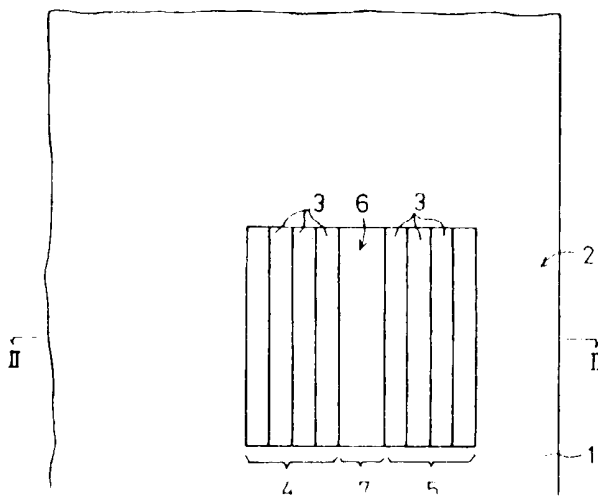
第1図及び第2図は本発明の一例を示す略略的平面図及びその横断面図、第3図はその製法の一例を示す断面図、第4図及び第5図は本発明の他の例を示す略略的平面図及びそ

つてコントラストの大なる位置合せ用マークとして機能し、そしてその位置合せ用マークは冒頭にて前述せる従来の位置合せ用マークに伴うが如き欠点を有しないという特徴を有するものである。

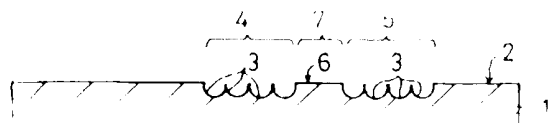
又本発明による第3図に示す位置合せ用マークの製法によれば、上述せる如く極めて簡単な工程で上述せる特徴ある位置合せ用マークを容易に得ることが出来る大なる特徴を有するものである。



第1図

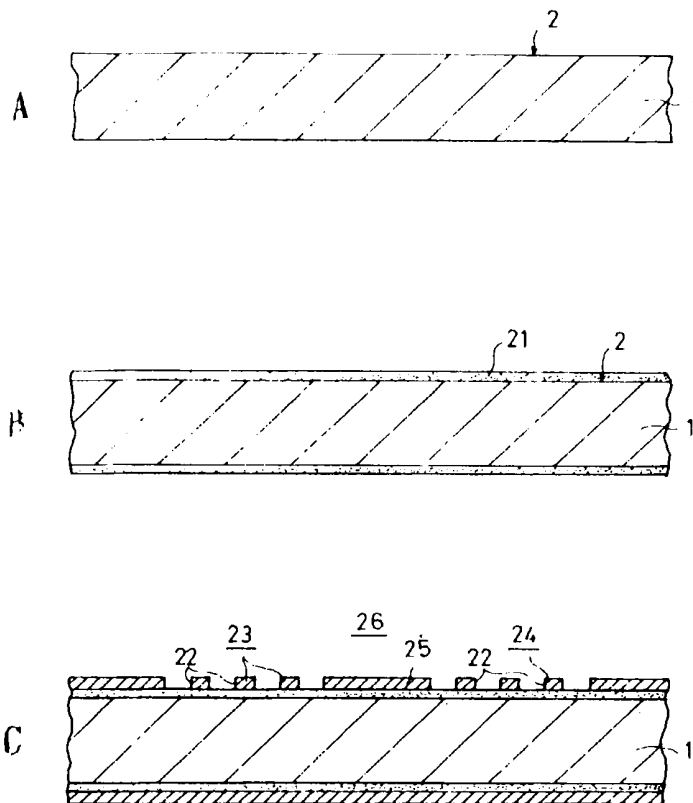


第2図

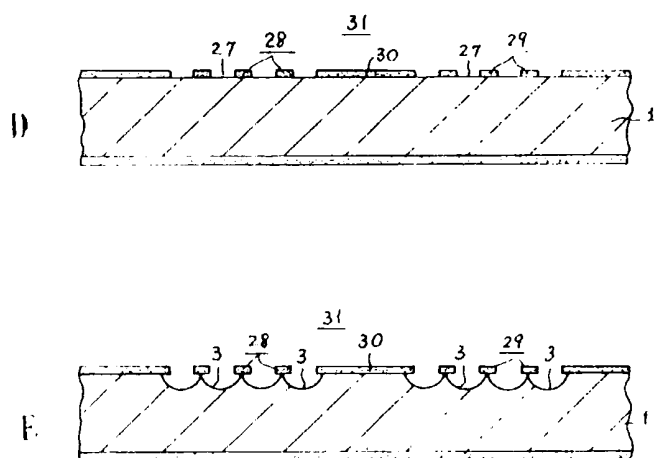


発明者 田中正治

第 3 図



第 3 図



第 4 図

